PATENT ABSTRACTS OF JAPAN

(11) Publication number:

10-027889

(43) Date of publication of application: 27.01.1998

(51) Int. CI.

H01L 27/108 H01L 21/8242 H01L 21/768

(21) Application number: 08-183336 (22) Date of filing:

12. 07. 1996

(71) Applicant: TOSHIBA CORP

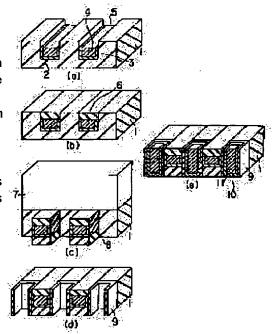
(72) Inventor: KOYAMA HIROSUKE

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To form a contact hole in a selfaligned manner to a bit line.

SOLUTION: Grooves 2 are cut in a silicon oxide film 1, a barrier metal 3 and a tungsten film 4 are deposited, the surface of the silicon oxide film 1 is flattened by grinding, and a wiring layer formed of the tungsten film 4 is provided. The tungsten film 4 and the barrier metal 3 are etched for the formation of U-shaped grooves 5. a silicon nitride film 6 is deposited to fill in the Ushaped grooves 5 respectively, the silicon nitride films 6 are flattened by grinding. The silicon oxide film 1 is etched using a prescribed pattern as a mask, whereby a contact hole 8 is formed in a self-aligned manner. A silicon nitride film 6 is deposited and etched back for forming a side wall 9 on the inner wall of the contact hole 8, and then a barrier metal 10 and a tungsten film 11 are successively deposited to fill in the contact hole 8 and then ground down to be flattened until the silicon oxide film 1 and the silicon nitride film 6 are exposed.



LEGAL STATUS

[Date of request for examination]

09.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3607424

[Date of registration]

15. 10. 2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



일본공개특허공보 평10-27889호(1998.1.27공개): 인용발명1

[첨부그림 1]

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出辦公房番号

特開平10-27889

(43)公開日 平成10年(1988) 1月27日

(B1) IntCL*		被 別記号	庁内整理部分	P I			技術表示箇所
HOLL	27/108			HOIL	27/10	681B	
	21/8242				21/90	c	
	21/768				27/10	621Z	

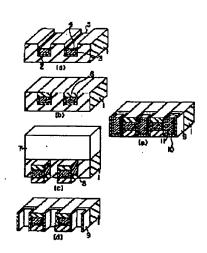
養産前水 未前水 前水項の数24 OL (全 12 頁)

			ALIEN HOLY CE IN A	
(21)出期接号	传搬平8 — 1855588	(71)出版人	00000347/8 株式会社東芝	
(22)出聞日	平成8年(1996)7月12日		神奈川県川朝市中区銀川町778番地	
		(72)発明者 辛山 杉亮 神奈川県川崎市幸区小山東芝町1番地 式会社東芝研究開発センター内		
		(74)代理人	弁理士 鈴江 武彦 (外6名)	

(54) 【短町の名称】 半導体磁性及びその製造方法

【課題】ビット線に対して台己整合的にコンタクトホールを形成する。

(明治表別) 酸化ツリコン酸1に満2を形成し、ハリアメタル3、タングステン酸4を増減し、表面を削って平坦化すると同時にタングステン酸4からなる配額層を形成する。タングステン酸4及びパリアメタル3をエッチングして政差5を形成し、至化シリコン酸6を削り、表面を予担化する。所定のマスクパターンを用いて酸化シリコン酸1をエッチングし、コンタクトホール8を自己配合的に形成する。定化シリコン酸を増減し、エッチパックしてコンタクトホール8の側壁にサイドウォール9を形成し、次にパリアメタル10及びタングステン解11を順次はほし、コンタクトホール8を完成した後に、酸化シリコン酸1及び変化シリコン酸6が露出するまでタングステン限11及び変化シリコン酸6が露出するまでタングステン限11及びパリアメタル10を削り、表面を平坦化する。







「첨부그림 21

【特許請求の範囲】

【請求項 1】 半導体萎板上に第 1 絶縁群 を形成する工程と、

上記第1錯録既に消を形成する工程と、

上記清内を導電膜で充填する工程と、

上記導機関の表面を所定の厚みだけエッチングして上記 第1路縁関との経済を形成する工程と、

上記段差部を第2絶録鉄で充填する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項2】 対記第1 絶縁限に渡を形成した後にこの 漢の側端に第3 絶縁既からなるスペーサを形成する工程 をさらに具備したことを特徴とする請求項11に記載の半 述体装置の製造方法。

【請求項3】 平導休差板上に第1絶縁観 を形成する工程と、

上記第1結縁映に溝を形成する工程と、

上記簿内を媒電膜で充填する工程と、

上記導電際の表面を所定の厚みだけエッチングして上記 第1組縁期との政差を形成する工程と、

上記段差部を第2組録牒で充填する工程と、

上記第2結時期をマスクとして用いた選択的エッチング 法によって上記第1結時期をエッチングし、上記簿に強 接するコンタクトホールを形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項4】 前記第1 経緯限に消を形成した後にこの 消の側壁に第3 経経膜からなる第1 のスペーサを形成す る工程をさらに具備したことを特徴とする請求項3に記 就の半導体装置の製造方法。

【請求項5】 対記コンタクトホールの側壁に第4絶縁 関からなる第2のスペーサを形成する工程をさらに具備 したことを特数とする請求項3に記載の半導体装置の製 請方法。

【請求項 6】 平導体基板上に第1絶縁期を形成する工程と、

上記第1鉛緑脚に済を形成する工程と、

上記簿の内壁に第1導電膜を形成する工程と、

上記簿内を第2導電鉄で充填する工程と、

上記第2四番映の表面を所定の厚みだけエッチングする と同時に上記第1四番映を上記第2四番映のエッチング 登よりも今くエッチングして上記第1倍帰収との改差を 形成する工程と、

上記段差部を第2節録映で充填する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項7】 対記第1 絶経際に消を形成した後に、この消の側盤に第3 絶縁際からなるスペーサを形成する工程をきらに具備したことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】 半導体基板上に第1絶縁脚を形成する工程と、

上記第1絶縁膜に溝を形成する工程と、

上記簿内を運輸膜で充填してピット線を形成する工程 と

上記導機関の表面を所定の厚みだけエッチングして上記 第1発縁関との段素を形成する工程と、

上記政芸部を第2領経験で充填する工程と、

【請求項9】 前記第1総論既に講を形成した後にこの 演の側盤に第3発縁既からなるスペーサを形成する工程 をさらに具備したことを特数とする請求項8に記載の半 築体記憶装置の製造方法。

【請求項10】 対記ストレージノードコンタクトホールの側壁に第4路線をからなるスペーサを形成する工程をさらに具備したことを特徴とする請求項8に記数の半導体記憶装置の製造方法。

【請求項 1 1】 半導体 基板に幸子分離絶縁膜 を形成する工程と、

上記半導体基板にゲート絶縁膜を介してゲート電極を形成すると共に上記半導体基板に不純物を導入してソース。ドレイン拡散層を形成してMOSFETを形成する工程と、

上記MO S F E T を披展するように第1組織膜を形成する工程と、

上記第1路録期にピット線コンタクトホールを形成する 工程と、

上記第1絶経時に、後にビット線が形成される溝を形成する工程と、

上記簿及びビット降コンタクトホール内を降電解で発拡 し、上記MO SFETのソース、ドレイン拡散層のうち 一方の拡散層と電気的に接続されたビット調を形成する 工程と、

上記導電限の表面を所定の厚みだけエッチングして上記 第1節縁限との段差を形成する工程と、

上記段差部を第2絶縁膜で充填する工程と、

上記第22000 転でスクとして用いた選択的エッチング 法によって上記第1000 転転数をエッチングし、上記ビット 頃に隣接するストレージノードコンタクトホールを形成 する工程と、

上記ストレージノードコンタクトホールの側壁に第3路 縁敗からなるスペーサを形成する工程と、

上記ストレージノードコンタクトホールを導電解で充填 する工程と、

上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続したストレージ電極、キャパシタ延続製及びプレート電極を挿次形成してキャパシタを形成する工程とを具備したことを特徴とする半導作記憶装置の製造方法。





the control of the co

[첨부그림 3]

【詩求項12】 村記第1絶様限に海を形成した後にこの海の側盤に第4絶縁限からなるスペーサを形成する工程をさらに具備したことを特敵とする詩求項11に記載の半導体記憶装置の製造方法。

【詩末頃13】 半遊休基振上に形成された第1語縁膜 と

上記第1組録既に形成された溝と、

上記簿の内周面に上記簿を完全に埋め込まない程度の厚 みに形成された第1選電機と、

上記第1毎電際上に設けられ上記簿を途中まで匿め込む ように形成された第2基電際と、

上記第1、第2等機関上に設けられ上記簿を完全に埋め 込むように形成された第2語録製とを具備したことを特 数とする半導体装置。

【請求項14】 前記第2選電販が高融点金属からなる 請求項13に記載の半導体装置。

【請求項15】 前記第1塩電膜がパリアメタルからなる請求項13に記載の半極体装置。

【詩求項 16】 対記簿の側壁には第36経線膜からなる スペーサが形成されている詩求項 13に記載の半導体装置。

【請求項17】 単導体基板上に形成された第1結縁膜 5

上記第1組録映に形成された溝と、

上記簿の上部を除いた内周面に上記簿を完全に埋め込まない程度の厚みに形成された第十編電膜と、

上記第1 運電脚上に設けられ、上面が上記簿の側壁上に 位置する上記第1 運電駅の上面よりも高くなるように形成された第2 運電脚と、

上記簿を完全に埋め込むように形成された第2結録限と を具備したことを特徴とする半週休練置。

【請求項18】 前記第2級電際が高融点金属からなる 請求項17に記載の半級体装置。

【請求項19】 前記第1編電解がパリアメタルからなる請求項17に記載の半導体装置。

【請求項20】 前記第1語経際が酸化シリコンからなりかつ前記第2語経際が変化シリコンからなる請求項17に記載の半條件装置。

【請求項21】 半導体基板上に形成された第1結縁期と、

上記第1結縁際に互いに離間して形成された第1及び第 2の消と、

上記第1紀録期の上記第1及び第2の渡で挟まれた領域 に形成されたコンタクトホールと、

上記第1及び第2の溝の側壁に形成された第2砲縁映からなる第1のスペーサと、

上記第1及び第2の各海の内風面にそれぞれの海を完全 に提め込まない程度の厚みに形成された第1基電限と、 上記第1基電限上に設けられ上記第1及び第2の海を完全に埋め込むように形成された第2基電限と、 上記コンタクトホールの側壁に形成された第3絶縁既からなる第2のスペーサと。

上記コンタクトホールの内周面にこのコンタクトホール を完全に埋め込まない程度の厚みに形成された第3塔電 関と、

上記第3基電限上に設けられ上記コンタクトホールを埋め込むように形成された第4基電限とを具備したことを特徴とする半導体装置。

【請求項22】 付記第1選電際及び第3選電際のそれ ぞれがパリアメタルである請求項21に記載の半導体装 高。

【請求項23】 半導体萎板に形成された素子分離結縁 隊と

上記半導体基板にゲート絶縁期を介して設けられたゲート電極及び上記半導体基板に設けられたソース。ドレイン拡散層がらなるMOSPETと

上記MOSFETを被覆するように形成された第1絶縁 脚と、

上記第1絶縁脚に形成されたピット領コンタクトホール 及びピット線形成用の海と、

上記海を途中まで充填するように設けられた第1 迩竜陳からなり、上記MO SFETのソース、ドレイン拡散層のうち一方の拡散層と電気的に接続されたビット線と、上記海を完全に充填するように設けられた第2 絶縁既

上記ピット線に隣接するように上記第1絶縁既に設けられたストレージノードコンタクトホールと、

上記 ストレージノードコンタクトホールの側壁に設けられた第3倍緩緩からなるスペーサと、

上記ストレージノードコンタクトホールを充填する第2 楽電隊と、

ストレージ電帳、キャパシタ絡縁解及びプレート電帳からなり、上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続されたキャパシタとを具備したことを特徴とする半導体記憶装置。

【請求項24】 配線を形成する第1塩奄収と、 上記配線に隣接し、上記配線の上層と下層とを接続する ためのコンタクトホールと、

上記コンタクトホールを充填する第2基礎群と、

上記第1、第2簿電際相互間に形成され、上記第1、第 2等電際を電気的に分離するスペーサとを具備し、

配線下部のスペーサの秩序よりも配線上部のスペーサの 秩序が厚いことを特徴とする半導体記憶装置。 【0001】

[差明の揮毫及統領分野] この発明は、例えばダイナミックR AMのセル構造に係り、特にピット線の上方にメモリセルキッパンタをピット線に対して自己型合的に形成するSTC(Stacked Capacitor)型の半塩体記憶装置及びその製造方法に関する。





[첨부그림 4]

[0002]

【従来の技術】近年、半導体記憶装置、特にDRAMの 物細化において、リソグラフィ技術における解像度の目 発ましい進歩によって、線幅及び間隔が増や縮小されて いる。しかしながら、合わせ特度の改善は解像度の進步 に追い付けず、合わせズレ対策が重要度を増している。 【〇〇〇3】合わせズレ対策の一つとして、コンタクト ホールと配路のボーダレスを実現した技術に、例えば、 「C.W. Kaanta et al. " Dual Damascene: A ULSI Virin 5 Technology ", VMIC, pp. 144-152, 1991 】記数の技術 がある。また、この技術をDRAMのビット練コンタク トとビット線に応用したものに、「D. Kenney et al. " A Buried-Plate Trench Cell for 64-bb DRAM ", VLIS Tech. Symp, pp. 14-15, 1992』記数のメモリセルがあ る。

【0004】また、STC型キャパシタを用いたセルにおいては、メモリセルキャパシタをピット線に対して自己整治的に形成する技術として、例えば、「M.Fukumoto etal, "Stacked capacitor cell technology for ISM DRAM using double self-aligned contacts", ESSDE 80, pp. 461-464, 1990 」記載のメモリセルが提案されている。

【0005】以下、図9を用いて、上記Dual Damascene 技術を説明する。まず、下層配線101上に、平坦化さ わた屋間絶縁膜 1 0 2 を形成する。次に、層間絡縁膜 1 02上に、コンタクトホールパターン 103を存する第 1のレジスト104と、上層配線パターン105を存す る第2のレジスト106を形成する(回9(a))。次 に、上記レジスト104、106をマスクに、層間絶縁 既102を選択的にエッチングし、 コンタクトホール1 0.7 を形成する (図9 (b))。 太に、露出している第 1のレジスト104を一部除去し、上層配線パターン1 08を形成する (図9 (c))。 このとき、第2のレジ スト106も第1のレジスト104の課度に応じて裏面 が除去される。次に、層間錯縁膜102を選択的にエッ チングし、コンタクトホール109及び上層配換 パター ン1 10を形成する(図9(d))。 太に、メタル11 1を堆積も、コンタクトホール109及び上層配線パタ -ン110を完全に埋め込む(図9 (e))。次に、C MP(Chemical Mechanical Polishing)法を用いてメ タル111をエッチバックし、上層配換112を形成す ると共に表面を平坦化する(図9(1))。 (0006]

【発明が解決しようとする課題】ところで、このDual Distanceの支援術を、STC型キャパシタを用いたセルに応用した場合、メモリキャパシタをビット頃に対して自己型合的に形成することができないという問題があった。
【0007】すなわち、メモリキャパシタを形成するためには、屋間絶縁関102に対し、半導体番板に形成されたソース、ドレイン拡散層の表面に通じる自己整合コ

ンタクトホールを形成する必要がある。しかし、上層配 は112は表面が露出しているために、層間暗縁既10 2をエッチングしてコンタクトホールを形成する際に上層配 配は、回10に示すように、子の上層配線112上にエッチングマスクとなる暗線取113を形成した後にコンタクトホール114を形成しなければならない。 し、この場合には自己整合コンタクトホールとはならず、合わせ余裕を見て、上層配線112から所定の距離だけ離してコンタクトホール114を形成しなければならない。 が、合わせ余裕を見て、上層配線112から所定の距離だけ離してコンタクトホール114を形成しなければならないため、配線間隔が大きくなり、微細化は国職である。

【0008】この発明は上記のような事情を考慮してな されたものであり、その目的は、ビット時に対して自己 整合的に形成されるコンタクトホールを有する半導体装 置及びその歌語方法を提供することである。

[0009]

【課題を解決するための手段】請求項1に係る半導体装置の製造方法は、半導体基板上に第1節経験を形成する工程と、上記第1節経験に消布形成する工程と、上記第1節経験で発填する工程と、上記導電験の表面を所文の厚みだけエッチングして上記第1節経験との段差を形成する工程と、上記段差部を第2節経験で発填する工程とを具備している。

【〇〇1〇】 耕本項2に係る半條体装置の製造方法は、 請求項1 に記載の半條体装置の製造方法において、 付記 第1 6経験に済 を形成した後にこの済の衛星に第3 絶縁 膜からなるスペーサを形成する工程をさらに共催している。

【0011】 請求項3に係る半導体装置の製造方法は、 半導体基板上に第1部議隊を形成する工程と、上記第1 発縁駅に海を形成する工程と、上記海内を導電駅で充填 する工程と、上記導電鉄の表面を所定の厚みだけエッチ ングして上記第1路縁隊との段差を形成する工程と、上記録2路線 陳をマスクとして用いた選択的エッチング法によって上 記簿1路縁隊をエッチングし、上記海に隣接するコンタ クトホールを形成する工程とを具備している。

【0012】 請求項4に係る半導体装置の製造方法は、 請求項3に記載の半導体装置の製造方法において、対記 第1延縁駅に済を形成した後にこの消の側壁に第362 駅からなる第1のスペーサを形成する工程をさらに具備 している。

【0013】請求項5に係る半導体装置の製造方法は、 請求項3に記載の半導体装置の製造方法において、前記 コンタクトホールの側壁に第4絶縁限からなる第2のスペーサを形成する工程をさらに具備している。

【0014】請求項6に係る半導体装置の製造方法は、 半導体基板上に第1絶縁既を形成する工程と、上記第1 絶縁既に消を形成する工程と、上記第の内盤に第1導電





[첨부그림 5]

脚を形成する工程と、上記簿内を第233金級で充填する 工程と、上記第235金級の表面を所定の厚みだけエッチ ングすると同時に上記第135金級でを上記第235金級のエッチング食よりも多くエッチングして上記第136級隊と の段階を形成する工程と、上記段差額を第236級級で充 億する工程とを具備している。

【0015】請求項7に係る半導体記憶装置の製造方法 は、請求項5に記載の半導体記憶装置の製造方法におい で、第1能被限に消を形成した後に、この海の創堂に第 3暗経限からなるスペーサを形成する工程をさらに具備 している。

【0016】請求項8に係る半端体記憶線面の製造方法は、半導体基板上に第1途機関を形成する工程と、上記第1路機関に消を影成する工程と、上記簿内を場面駅で充填してビット等を形成する工程と、上記簿を開める配を所定の厚みだけエッチングして上記第1路機関で充填する工程と、上記第2倍機関で不填する工程と、上記第2倍機関をマスクとして用いた選択的エッチング法によって上記第1倍機関をエッチングし、上記簿に関係するストレージノードコンタクトホールを形成する工程とを具備している。

【0017】請求項9に係る半端体記憶装置の製造方法 は、請求項3に記載の半導体記憶装置の製造方法におい で、前記第1鐘部隊に済を形成した後にこの済の側壁に 第3結2課からなるスペーサを形成する工程をさらに具 値している。

[0018] 辞求項10に係る半導体記憶装置の製造方法は、辞求項8に記載の半導体記憶装置の製造方法において、財記ストレージノードコンタクトホールの衝撃に第4項経験からなるスペーサを形成する工程をさらに具備している。

【0 0 1 9】請求項 1 1 に係る半導体記憶装置の製造方 法は、平導体基板に衆子分離絶縁期を形成する工程と、 上記半導体挙振にゲート絶縁膜を介してゲート電極を形 成すると共に上記半導体基板に不純物を導入してソー ス、ドレイン拡散層を形成してMOSFETを形成する 工程と、上記MOSFETを被覆するように第1結縁隊 を形成する工程と、上記第1絶縁既にピット繰コンタク トホールを形成する工程と、上記第1絶縁膜に、後にビ ット線が形成される海を形成する工程と、上記消及びビ ット韓コンダクトホール内を導電膜で充填し、上記MO SPETのソース、ドレイン拡散層のうち一方の拡散層 と電気的に接続されたビット線を形成する工程と、上記 **導電艇の表面を所定の厚みだけエッチングして上記第1** 絶縁限との段差を形成する工程と、上記段差部を第2絶 辞牒で充填する工程と、上記第2組録牒をマスクとして 用いた選択的エッチング法によって上記第1絶録期をエ ッチングし、上記ピット森に隣接するストレージノード コンタクトホールを形成する工程と、上記ストレージノ ードコンタクトホールの側壁に第3発縁脚からなるスペ

ーサを形成する工程と、上記ストレージノードコンタクトホールを導電機で充填する工程と、上記MOSFETのソース、ドレイン拡散層のうち他力の拡散層と電気的に接続したストレージ電極、キャバシタ発起線及びプレート電極を増次形成してキャバシタを形成する工程とを見強している。

【0020】請求項12に係る半導株記憶装置の秘急方法は、請求項11に記載の半導体記憶装置の製造方法において、解記第1絶縁既に消を形成した後にこの海の側盤に第4発縁取からなるスペーサを形成する工程をさらに具備している。

【0021】諸求項13に係る半路体装置は、半路体基 仮上に形成された第1節経験と、上記第1節経験に形成 された溝と、上記簿の内限面に上記簿を完全に埋め込ま ない程度の厚みに形成された第1路電数と、上記第1塔 電鉄上に設けられ上記簿を途中まで埋め込むように形成 された第2塔電数と、上記第1第2路電数上に設けら れ上記簿を完全に埋め込むように形成された第2路経験 とを具備している。

【0022】諸求項14に係る半導体装置は、諸求項1 3に記載の半導体装置において、前記第2等電膜が高融 点金属からなる。請求項15に係る半導体装置は、請求 項13に記載の半導体装置において、前記第1導電膜が パリアメタルからなる。

【0023】諸求項16に係る半導体装置は、請求項1 3に記載の半導体装置において、前記簿の側壁には第3 能録散からなるスペーサが形成されている。諸求項17 に係る半導体装置は、半導体基板上に形成された第1億 健康と、上記第1億建既に形成された漢と、上記第1億 健康と、上記第1億建既に形成された漢と、上記第1億 財を除いた内側面に上記簿を完全に埋め込まない程度の 厚みに形成された第1億報度と、上記第1億報限上に設けられ、上面が上記簿の側壁上に位置する上記第1億報 限の上面よりも高くなるように形成された第2億報 と、上記簿を完全に埋め込むように形成された第2億程 限とを具備している。

【0024】請求項18に係る半導件装置は、請求項1 7に記載の半導件装置において、前記第2導電限が高融 金金編からなる。請求項19に係る半導件装置は、請求 項17に記載の半導体装置において、前記第1導電駅が パリアメタルからなる。

【0025】請求項20に係る半導体装置は、請求項1 7に記載の半導体装置において、前記第122被関が像化 シリコンからなりかつ前記第222を展が変化シリコンからなり。

【0026】諸求項21に係る半導体装置は、半導体基 板上に形成された第1暗掃線と、上記第1暗掃線に互い に離固して形成された第1及び第2の清と、上記第1部 掃線の上記第1及び第2の流で決まれた領域に形成され たコンタクトホールと、上記第1及び第2の清の側壁に 形成された第2時線限からなる第1のスペーサと、上記 形成された第2時線限からなる第1のスペーサと、上記





[첨부그림 6]

第1及び第2の各海の内風面にそれぞれの海を完全に埋め込まない程度の厚みに形成された第1導電際と、上記第1場電限上に設けられ上記第1及び第2の済を完全に埋め込むように形成された第2場電際と、上記コンタクトホールの側壁に形成された第3結経限からなる第2のスペーサと、上記コンタクトホールの内風面にこのコンタクトホールを完全に埋め込まない程度の厚みに形成された第3場電限と、上記第3場電限上に設けられ上記コンククトホールを埋め込むように形成された第4場電限とを具備している。

【0027】請求項22に係る半導体装置は、請求項2 1に記載の半導体装置において、前記第1錯縁膜及び第 3結縁映のそれぞれがパリアメタルである。 詰求項23 に係る半導体記憶装置は、半導体基板に形成された素子 分離紀錄映と、上記半媒体基板にゲート絶縁映を介して 設けられたゲート電極及び上記半導体基板に設けられた ソース、ドレイン拡散層からなるMOSFETと、上記 MO SFETを被覆するように形成された第1組織膜 と、上記第1絶縁期に形成されたピット頃コンタクトホ ール及びピット鎮形成用の溝と、上記溝を途中まで充壌 するように設けられた第1頃電解からなり、上記MOS FETのソース、ドレイン拡散層のうち一方の拡散層と 電気的に接続されたビット導と、上記簿を完全に充填す! るように設けられた第2絶縁獣と、上記ピット線に隣接 するように上記第1絶縁帙に設けられたストレージノー ドコンダクトホールと、上記ストレージノードコンダク トホールの側壁に設けられた第3発録膜からなるスペー サと、上記ストレージノードコンタクトホールを充填す る第2単電脚と、ストレージ電極、キャパシタ絶縁跳及 びプレート電極からなり、上記MO SFETのソース。 ドレイン拡散層のうち他方の拡散層と電気的に接続され たキャパシタとを具備している。

【0028】結本項24に係る半導体記憶装置は、配線を形成する第1編電限と、上記配線に隣接し、上記配線の上層と下層とを接続するためのコンタクトホールと、上記コンタクトホールを充填する第2編電限と、上記第1、第2編電機を確認的に分離するスペーサとを具備し、配線下部のスペーサの限厚が厚いことを持載としている。

[0029]

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1(a)~(a)はこの発明の第1の実施の形態に係る半導体装置の製造方法を工程順に示す断面図ある。

【0030】まず、半導体基板上に形成された酸化シリコン関1に、周知のリソグラフィ法及びRIE(Reactive Ion Etching)法を用いて溝2を形成する。次に、上記溝2を完全に埋め込まなLM程度の厚みに、TiNまたはWN等のバリアメタル3をスパッタリング法を用いて

全面に増移し、続いて高融点金属際、例えばタングステン膜 4を CV D(Chemical Vapor Deposition) 法を用いて全面に増移し、清2を完全に充填する。そして、次にCMP 法を用いて敵化シリコン解 1 が露出するまでタングステン群 4及びパリアメタル3 を飼り、表面を平坦化すると同時にタングステン膜 4からなる配線層を形成する。その後、RIE法を用いてタングステン膜 4及びパリアメタル3を選択的にエッチングし、食養3を形成する (図1 (a))。

【0031】次に変化シリコン酸6をCVD法を用いて全面に推絡して改差5を充填した後、統いて、CMP法を用いて変化シリコン楔6を削り、表面を平坦化する(図1(b))。

【0032】これまでの工程により、半導体委板上に形成された酸化シリコン膜1には海2が形成され、この海2の内閣面にはこの海2を完全に埋め込まない程度の厚みのパリアメタル3が形成され、上記パリアメタル3上には、海を2を途中まで埋め込むようにタングステン膜4形成され、さらにタングステン膜4上には海2を完全に埋め込むような変化シリコン膜5が形成される。

【0033】このような方法によれば、従来のDamascen ・技術では達成し得なかった自己観合コンタクトを形成 する上で必要になる、配換層面上の結長期(空化シリコン解6)が形成される。

【0034】次に、溝2に直交するライン/スペースパターンを用いてフォトレジスト7を形成し、このフォトレジスト7及び変化シリコン膜5に対して選択比の高い条件を用いて酸化シリコン膜1をR1を設定されて酸イングし、コンタクトホール8を自己整合的に形成する(図1(o))。

【0035】次に、フォトレジストフを除去し、全面に 室化シリコン限を増結した後、全面をRIE法を用いて エッチバックし、コンタクトホール8の側壁に室化シリ コン駅からなるサイドウォール9を形成する(図 1 (d))。

【0036】 次にパリアメタル10及びタングステン膜11を挿次堆積し、コンタクトホール8を充填する。次に、CMP法を用いて酸化シリコン膜1及び変化シリコン膜5が露出するまでタングステン膜11及びパリアメタル10を到り、表面を平坦化する(図1(e))。

【0037】このような方法を用いることで、Damas ce ne記録(タングステン联4)に対して自己整合的に、この Damas cene配線に議接するコンタクトを形成することができる。従って、Damas cene配線を採用した半導体装置において、Damas cene配線相互間にコンタクトを設ける場合に、コンタクトを設ける際の余分な位置合わせ余裕を取る必要がないので、Damas cene配線相互の間隔を十分に小さくすることができ、条紙化する際のチップサイズの縮小化を図ることができる。

【0038】なお、このようにして製造された半導体装





[첨부그림 7]

選において、上記タングステン酸4からなる配線層はメ モリセルのピット線として使用され、このピット線に隣 接して形成されたコンタクトはメモリセルのストレージ ノードコンタクトとして使用される。

【0039】太にこの発明の第2の実施の形態に係る半導体接置の製造方法を図2(e)~(e)を用いて説明する。上記第1の実施の形態に係る半導体装置の製造方法において、触化シリコン酸1をエッチングは1のエッチングは、変化シリコン殴らに対して選択比の高い条件を用いて行っている。しかし、このエッチング場けの構造がであるから、変化シリコン関の自体も優かにエッチング3件のゆらぎ、変厚のゆらぎ等によって、ある確定でスペーサであるが、変厚のゆらぎ等によって、ある確定でスペーサであるが、の呼吸に対し、対策が注じる場合ののである。この呼吸に対策を対策によって、このを含ことが分かって、上記記の原のこの実施の形態に係る半導体装置では、上記記録をの属の番号で生じる短緒を防止するようにしたものである。

【0040】 すなわち、前記第1の実施の形態の方法と同様に、まず、半導体基係上に形成された配化シリコン 観1に、周知のリソグラフィ法及びRI 日法を用いて済 2を形成し、次に、上記済2を完全に埋め込まない程度の厚みに、パリアメクル3をスパッタリング法を用いて全面に増減し、続いて高融法金属限、何えばタングステン照4を3といび法を用いて全面に増減し、済2を完全に支援する。

【0041】その後、C12系のガスを用いたR1E法でタングステン酸4及びパリアメタル3を選択的にエッチングし、設置うを形成する。このとき、C12系のガスに対して、タングステンよりもチタン化合物(T1N)の方がエッチングレードが違いため、配線層の上部両側にパリアメタル3の映摩に対応した浅い滑12が形成される(図2(a))。

【0042】この後は、前記第1の実施の形態の方法と 同様に、空化シリコン映6をCVD法を用いて全面に地 持して段差 5を充填し、次に、CMP法を用いて室化シ リコン灰らを削り、表面を平坦化し(図2(b))、 さ らに渡っに遊交するライン/スペースパターンを用いて フォトレジスト7を形成して酸化シリコン膜1をR16 法によりエッチングし、コンタクトホール 8を自己整合 的に形成し(図 2 (c))、フォトレジスト7 を除去し た後に、全面に空化シリコン酸を堆積し、全面をRIE 法を用いてエッチバック し、コンタクトホール8の創金 に変化シリコン鉄からなるサイドウォール9を形成し (図2(d))、続いてパリアメタル10及びタングス テン联11を順次堆積し、コンタクトホール8を充填す る。そしてさらに、CMP法を用いて酸化シリコン膜(及び室化シリコン鉄6が露出するまでタングステン鉄1 1及びバリアメタル10を削り、表面を平坦化する(図 2 (e)).

【0043】このような方法によれば、配線層の高の部分の変化シリコン像を清2の側盤の部分よりも厚く形成することができるので、 対記のような理絡が生じる確率を悪しく低減することができ、高歩智まり、高信頼性の半進体装置を製造することができる。

【0044】図3(a)~(1)はこの発明の第3の実施の形態に係る半導体装置の製造方法を工得順に示す断面図ある。まず、半導体基板上に形成された酸化シリコン酸1に、周知のリソグラフィ法及びRIE法を用いて溝2を形成する、次に、上記溝2を完全に埋め込まない得度の厚みで、全面に至化シリコン酸を増結し、抗いて全面をRIE法を用いてエッチバックし、済2の創盤に変化シリコン酸からなるサイドウォール13を形成する(図3(a))。

【0045】続いて、上記海2を完全に埋め込まない程度の厚みに、TiNまたはWN等のパリアメタル3をスパッタリング法を用いて全面に推構し、続いて高融点金原際、例えばタングステン解4をCVD法を用いて全面に推模し、溝2を完全に充填する。次にCMP法を用いて敵化シリコン映1が露出するまでタングステン解4のがパリアメタル3を選択的によって破りなる配換層を形成すると同時にタングステン解4かなる配換層を形成すると同時にタングステン解4かなる配換層を形成すると同時にタングステン解4からなる配換層を形成すると同時にタングステン解4かなる配換層を形成する(図3を選択的にエッチングし、食養5を形成する(図3

(b))。この際、前記第2の実施の形態の方法と同様に、タングステン膜4よりもパリアメタル3の方がエッチングレートが減くなる条件でエッチングを行い、配線層の上部両側にパリアメタル3の関厚に対応したほい消を形成するようにしてもよい。

【0046】 次に変化シリコン膜 6をCVD 法を用いて 全面に増移して段差3を充填し、続いて、CMP法によ り変化シリコン膜 6を削り、表面を平坦化する(図3 (o))。

【0047】これまでの工程により、半端体を板上に形成された酸化シリコン様1には清2が形成され、この清2の側壁には変化シリコン様からなるサイドウォール13が形成され、さらに清2の内周面にはこの清2を完全に最め込まない程度の厚みのパリアメタル3が形成され、上記パリアメタル3上には、済な2を途中まで埋め込むようにタングステン様4上には清2年金に埋め込むような変化シリコン様6が形成される。

【0048】このような方法によれば、第1の実施の形態の場合と同様に、従来のDamascene 技術では達成し得なかった自己整合コンタクトを形成する上で必要になる、配換層直上の経緯製(変化シリコン製6)が形成される。

【0049】次に、第2に直交するライン/スペースパターンを用いてフォトレジスト7を形成し、このフォト





[첨부그림 8]

レジスト7及び変化シリコン鉄6に対して選択比の高い 条件を用いて配化シリコン鉄1をRIE法によりエッチ ングし、コンタクトホール8を自己整合的に形成する (図3(d))。

【0050】 次に、フォトレジストアを除去し、全面に 空化シリコン関係権裁した後、全面をR: E法を用いて エッチバックし、コンタクトホール8の側壁に変化シリ コン脚からなるサイドウォール9を形成する(図3 (e))。このサイドウォール9 を構成する空化シリコ ン際の形成に隠し、第1の実施の形態の方法では漢の内 部に形成されたパリアメタル3に接して空化シリコン膜 が形成される。メタル上に地枝した変化シリコン膜は、 追縁脚上に堆積した変化シリコン限 より膜質が劣化する ことが知られている。この実施の形態では溝の側盤に予 め変化シリコン眺からなるサイドウォール13が形成さ れるために、このような劣化を引き起こすことなくサイ ドウオール9 を形成することができる。 もちろん、サイ ドウォール13の形成に際しても、結縁膜(酸化シリコ **ン脚 1)上への堆積であるために、劣化を引き起こすこ** とはない。

【0051】 この後はパリアメタル10及びタングステン関11を順次地緒し、コンタクトホール8を充填し、CMP法を用いて酸化シリコン関1及び変化シリコン関6が露出するまでタングステン関11及びパリアメタル10を削り、表面を干地化する(図3(1))。

【0052】このような方法を用いることで、 Damasce ne配達 (クングステン酸 4) に対して自己整合的に、この Damascene配達に議接するコンタクトホール8を形成することができる。 しかも、この実施の形態では、鍵質の良いサイドウォール13を形成することができるという効果が得られる。

【0053】 次にこの発明の第4の実施の形態を図4(a)~(d)、図5(a)~(o)、図6(a)~(d)、図7(a)~(f) 及び図8を用いて説明する。この第4の実施の形態は、この発明をSTC型DRAMセルのビット線及びストレージノードコンタクトの製造方法に適用したものであり、図4(a)~(d) 及び図5(a)~(c)は使用されるマスクパターンを、図6(a)~(d)、図7(a)~(f)及び図5は上線送中の図4(a)~(d)及び図5(a)~(c)中の各新面をそれぞれ示している。

[0054] まず、図4 (a) に示すアクティブ領域パターン21を用いて、周知のSTI (Shallow Trench! solation) 法で、P型シリコン半導体整備31の表面に幸子分離酸化膜32を形成する(図5 (a))。

【0055】次に、半導体萎振31の表面にゲート酸化 関33を形成した後、ポリシリコン関34、タングステンシリサイド関35及び変化シリコン関36を類次地は し、図4(b)に示すゲート電極パターン22を用いて ゲート電極をパターニングする。 扱いて、ゲート電極を マスクにN型不純物をイオン注入し、ソース/ドレイン 鉱数層37を形成する(図6(b))。

【0056】次に、ゲート機構の側壁に変化シリコン膜39を機械した係、全面に酸化シリコン膜39を機械し、CMP法を用いて変化シリコン膜36が露出するまで酸化シリコン膜39を削り、裏面を干退化する(図6(o))。

【0057】次に、図4(a)に示すポリプラグパターン23を用いて、変化シリコン膜35、38に対して高 選択な条件で酸化シリコン膜35をエッチングし、ゲート機能に自己整合的にコンタクトホール40を形成する。次に、全面にポリシリコン膜41を増枝し、コンタクトホール40を完全に埋め込み、その後、CMP法で安比シリコン膜36及び酸化シリコン膜39が露出するまでポリシリコン膜41を割り、表面を平坦化する(図6(d))。

【0058】 次に、全面に酸化シリコン酸42を形成し、図4(d)に示すビット繰コンタクトパターン24を用いて、コンタクトホール43を形成する(図7(a)、(b))。

【0059】 次に、図5 (e) に示すビットはパターン 2.5を用いて、周知の Damascene 法で上記酸化シリコン 脚42に清を形成し、その後、空化シリコン脚44をそ の溝が埋まらない程度の秩序で推移し、続いて全面をR 1 日法を用いてエッチバックし、溝の側壁に変化シリコ ン既 4 4 からなるサイドウォールを形成する。次に、パ リアメタル45及びタングステン酸45を堆積して沸を 充填する。次に、CMP法を用いて酸化シリコン脚42 が露出するまでタングステン鰈45及びパリアメタル4 5 を削り、表面を平坦化すると同時にタングステン膜 4 ちからなるピット線を形成する。その後、RIE法を用 いてタングステン棋46及びパリアメタル45を選択的 にエッチングして斡記第1~第3の実施の形態と周極の 及蓋を形成する。次に、室化シリコン膜47を推補して この政策を充填し、その後、CMP法を用いて、酸化シ リコン駅42が露出するまで空化シリコン駅47を削 り、表面を平坦化する(図7 (c), (d))。

【0060】 次に、図5(b)に示すストレージノードコンタクトパターン26を用いて、変化シリコン膜47に対して選択比の高い条件を用いて酸化シリコン膜42をR1E法によりエッチングし、コンタクトホール48を間接のR1E法を用いてエッチバックし、コンタクトホール48の側壁に変化シリコン膜49からなるサイドウォールを形成する。次に、パリアメタル50及びタングステン膜51を順次権援し、コンタクトホール48を充填する。次に、CMP法を用いて酸化シリコン膜42及び変化シリコン膜47のを割り、表面を平坦化する(図7(a)、(f))。

9

[첨부그림 9]

【0051】次に、キャパシタの下部電極となるルテニウム無ち2をスパッタリング法で堆接し、図5(c)に示すストレージノードパターン27を用いて、ルテニウム関52からなるストレージノード電極を形成する。 競いて、キャパシタ紐はWFである日STO(パリウム・ストロンチウム・チタンオキサイド)関53及び上部電極となるルテニウム関54を増積し、メモリキャパシタが形成される(図3)、これ以降は、周知の方法で配換層を形成し、DRAMが完成する。

【0062】このような方法によって製造されたDRAMは、ビット映コンタクトとピット映のボーダーレス化を実現できると共に、ストレージノードコンタクトとピット映の自己製合も可能となり、微細化が図れ、メモリセルのピット単価を大幅に低速することができる。

【0063】なお、この実施の形態において、キャパケクの下部電極及び上部電極をルテニウム脚を用いて形成する場合について説明したが、ルテニウム膜の他に例えば自治脚等が使用できる。

[0064]

(薬明の効果)以上説明したように、この発明によれば、ビット頃に対して自己整合的に形成されるコンタクトホールを有する半導体装置及びその製造方法を提供することができる。

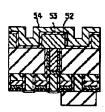
【図 1】 この発明の第1の実施の形態に係る半導体装置 の製造改革基本観輸打示す販面図。

【図2】この発明の第2の実施の形態に係る半導体装置 の製造方法を工程順に示す断面図。

(図3) この発明の第3の実施の形態に係る半導体装置の製造方法を工程提供に示す経面図。

【図4】 この発明の第4の実施の形態に係る半導体装置の製造方法で使用されるマスクを示す図。

(B) 8)



【図5】この発明の第4の実施の形態に係る半導体装置の製造方法で使用されるマスクを示す図。

【図5】上記第4の実施の形態に係る半導体装置の製造 方法を工程項に示す新面図。

【図7】図6に続く製造工程を示す断面図。

【図8】図7に続く製造工程を示す断面図。

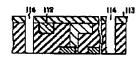
【図9】従来の半導体装置の製造方法を工程順に示す断 個図。

[図10] 図9に統く財面図。

【符号の説明】

1 …酸化シリコン脒、2 …沸、3 … パリアメタル、4 … タングステン膜、 5… 政差、 5… 室化シリコン膜、 7… フォトレジスト、8…コンタクトホール、9…サイドウ オール、10…パリアメタル、11…タングステン展、 12…浅い溝、13…サイドウォール、21…アクティ ブ領塩パターン、 22…ゲート電極パターン、23…ポ リプラグパターン、24…ビット終コンタクトパター ン、25…ピット森パターン、25…ストレージノード コンタクトパターン、 27… ストレージノードパター ン、31…P型シリコン半導体基板、32…素子分離酸 化膜、33…ゲート酸化膜、34…ポリシリコン膜、3 5…タングステンシリサイド棋、3.6…室化シリコン 脚、37…ソース/ドレイン拡散層、38…室化シリコ ン供、39…酸化シリコン供、40…コンタクトホー ル、41 …ポリシリコン群、42 …敵化シリコン群、4 3…コンタクトホール、4.4…室化シリコン膜、4.5… パリアメタル、45… タングステン獣、47…金化シリ コン駅、48…コンタクトホール、49…変化シリコン 鉄、50…パリアメタル、51…タングステン膜、52 …ルテニウム膜、53…BSTO膜、54…ルテニウム

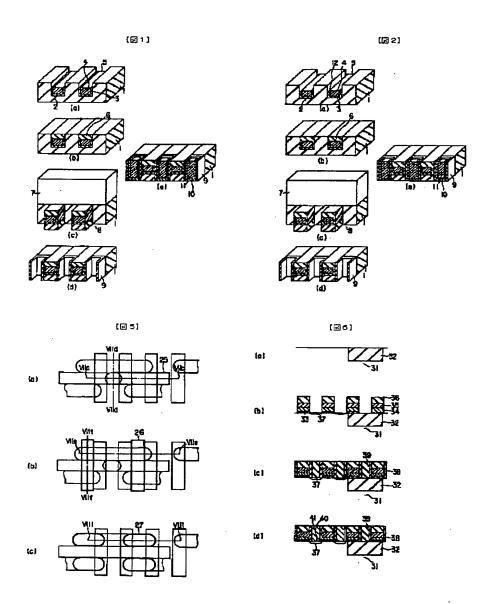
(Ø10)







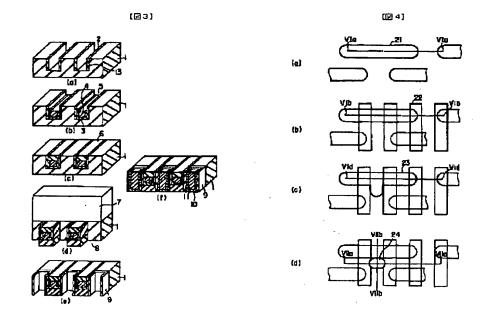
[첨부그림 10]







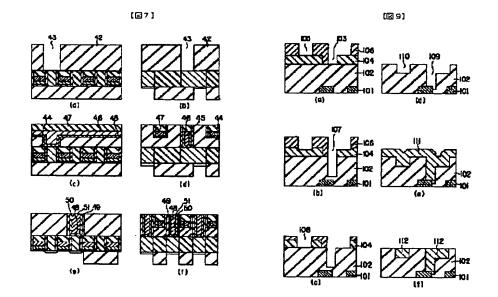
[첨부그림 11]







[첨부그림 12]



This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:					
☐ BLACK BORDERS					
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES					
☐ FADED TEXT OR DRAWING					
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING					
☐ SKEWED/SLANTED IMAGES					
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS					
☐ GRAY SCALE DOCUMENTS					
☐ L'INES OR MARKS ON ORIGINAL DOCUMENT					
REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY					

IMAGES ARE BEST AVAILABLE COPY.

☐ OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.